

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **57094857 A**

(43) Date of publication of application: 12 . 06 . 82

(51) Int. Cl. **G06F 11/22**

(21) Application number: **55170834**

(71) Applicant: **NEC CORP**

(22) Date of filing: **05 . 12 . 80**

(72) Inventor: **MORISAWA SHIGEAKI**

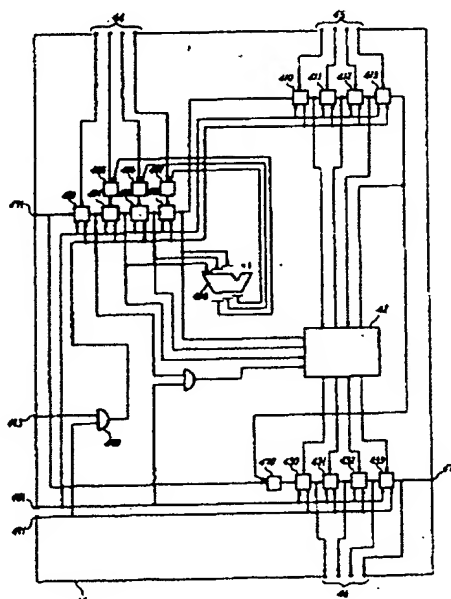
(54) **LOGIC DEVICE**

(57) Abstract:

PURPOSE: To increase the efficiency of diagnosis, by securing a free selection of a shift bus in accordance with the purpose of use and accordingly reducing the time of diagnosis as well as facilitating an easy control of a diagnosis program.

CONSTITUTION: For the data for observation of a scratch pad memory, O and the addresses are supplied to a flip-flop 400 and flip-flops 401W403 respectively based on the setting method of the flip-flop and in the state under which "1" is applied to a terminal 493. Then the contents of the scratch pad memory is read to flip-flops 430W433 by applying a clock signal 481 by a step. Thus O is applied to the terminal 493 to observe the flip-flops 430W433 based on a flip-flop observing method. In this case, only the data of the memory is transferred to a diagnosing device 2 to ensure a highly efficient diagnosis.

COPYRIGHT: (C)1982,JPO&Japio



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57—94857

⑪ Int. Cl.³
G 06 F 11/22

識別記号

庁内整理番号
7368—5B

⑬ 公開 昭和57年(1982)6月12日

発明の数 1
審査請求 未請求

(全 7 頁)

⑭ 論理装置

東京都港区芝五丁目33番1号日
本電気株式会社内

⑮ 特 願 昭55—170834

⑯ 出 願 人 日本電気株式会社

⑰ 出 願 昭55(1980)12月5日

東京都港区芝5丁目33番1号

⑱ 発 明 者 森澤茂明

⑲ 代 理 人 弁理士 芦田坦 外2名

明 細 書

1. 発明の名称

論 理 装 置

2. 特許請求の範囲

1. 予め決められた分割規則に従った分割単位の論理回路と、該論理回路内の診断対象回路に対して診断データを設定、または観測する診断手段と、前記診断対象回路に対して診断データを設定、または観測する際に、少なくとも2系統の前記診断手段を診断目的に応じて使い分けるための選択手段とから構成されたことを特徴とする診断機能を有する論理装置。

3. 発明の詳細な説明

本発明は診断機能を有する論理装置に関する。

従来、診断時において、論理装置内の記憶素子の値を設定、または観測する方法としてシフトレジスタ方式があった。この方式は、論理回

路の状態を保持する記憶素子であるフリップフロップに通常バスとは別に診断用のシフトバスを設けることにより、シフトレジスタとして動作させるようにしたものである。

このような方式を適用した論理装置の概略的な構成例を示すと第1図のようになる。この図において、論理装置1は診断装置2により診断用インタフェース3から診断制御部10を介して診断される。診断装置2の記憶部20には診断プログラム及び診断データが格納される。論理装置1の通常状態における動作部分は論理パッケージ11、12、…、19により構成され、診断時においてはこれらの各部分が被診断部となる。

ここで、シフトバスを用いてパッケージ内のフリップフロップに対して値を設定、または観測する動作について、第2図を参照して説明する。第2図はあらかじめパッケージ選択手段により第1図におけるパッケージ11が診断制御部10と接続状態にある場合を示す構成図である。第2図において、論理パッケージ11は被

診断部となる。レジスタ 101 は各パッケージの、フリップフロップの設定、または観測データを格納する 36 ビットの診断用シフトレジスタであり、診断制御部 10 内に収められている。なお、上記 36 ビットの数 36 は 1 枚のパッケージに実装されるフリップフロップ数の最大値である。パッケージ 11 は第 1 図におけるパッケージ 11 に対応し、9 個のフリップフロップ 110, 111, ..., 118 を実装する。なお、第 2 図においてフリップフロップ以外の通常の論理動作で使う論理回路は省略してある。信号 104 はフリップフロップにセットするときのデータバス信号であり、その値は選択ゲート 102 によって "0" か、"1" か、あるいはシフトレジスタ 101 の最左端の出力 107 の値に選択される。信号 106 はフリップフロップを観測するためのデータバス信号であり、回路 105 は信号 106 の値が "0" であるか、"1" であるかを検出する回路である。シフトレジスタ 101 の最右端の入力は選択ゲート 103 によって信号 104 か、または信号 106 に選択さ

れる。

設定の場合、フリップフロップ 110, 111, ..., 118 にセットする内容を予めレジスタ 101 に左づめで設定する。その動作はクリアサイクルとライトサイクルに分けられる。まず、クリアサイクルにおいて、信号 104 の値を選択ゲート 102 により "0" に選び、クロック信号 119 を 36 ステップ出してフリップフロップ 110, 111, ..., 118 をクリアする。このとき、レジスタ 101 の内容はそのまま保存される。次に、ライトサイクルにおいて、選択ゲート 102 により "1" を選び、クロック信号 119 を 1 ステップ進め、同時に検出回路 105 により信号 106 上の "1" の検出を開始する。それから、選択ゲート 102 により信号 104 としてレジスタ 101 の出力 107 を選び、同時にレジスタ 101 がリンクシフトレジスタとなるように選択ゲート 103 により信号 104 を選択する。そして、検出回路 105 によって "1" が検出されるまでクロック信号 119 を歩進し、更に、これと同期してシフトレジスタ 101 を 1 ビ

ットずつシフトさせる。検出回路 105 で "1" を検出したところでクロック信号 119 を止め、レジスタ 101 は合計 36 ビットシフトして内容をもと通りにする。以上により、レジスタ 101 の左づめの内容がパッケージ 11 のフリップフロップ 118, ..., 111, 110 に設定される。

観測の場合、リードサイクルとライトサイクルに分かれる。リードサイクルでは、シフトレジスタ 101 の最右端の入力に選択ゲート 103 によって信号 106 を与えて、信号 104 は設定におけるクリアサイクルと同じように選択ゲート 102 によって "0" を選び、クロック信号 119 を 36 ステップ進め、それと同期してレジスタ 101 を 36 ビットシフトさせる。以上により、フリップフロップ 118, ..., 111, 110 の値がレジスタ 101 に左づめに格納され、同時にフリップフロップ 110, 111, ..., 118 はクリアされる。その後、セットにおけるライトサイクルと同じ制御を行なって、フリップフロップ 110, 111, ..., 118 に元の値をセットしなおして、フリップフ

ロップの値を換することなくレジスタ 101 に出力して観測する。

再び、第 1 図を参照して具体的な動作の説明を続けると、パッケージ 14 はプログラムによって可視状態となるレジスタ群 42 及びこのレジスタ群の任意のレジスタを選択するためのアドレス情報を保持するレジスタ 40、寄込データを保持するレジスタ 41、そして読出データを保持するレジスタ 43 によって構成される。ここで、第 1 図におけるパッケージ 14 の具体的な従来例を示す第 3 図を参照すると、フリップフロップ 400, 401, 402, 403 は第 1 図におけるレジスタ 40 を構成し、同様にフリップフロップ 410, 411, 412, 413 はレジスタ 41 を、フリップフロップ 430, 431, 432, 433 はレジスタ 43 を構成する。特に、フリップフロップ 400 については、"0" のときレジスタ群 42 の読出し、"1" のとき書込みを指示する。レジスタ群 42 はスクラッチパッドメモリ素子で構成される。フリップフロップ 400~403, 410~413 および

430~433はクロック信号481により端子44、45を入力、46を出力とするように動作する。また、診断時は診断用クロック信号491と端子471を入力として与え、端子472に出力が得られるように、フリップフロップ400~403、410~413および430~433をシフトレジスタとして動作させる。なお、加算器404はレジスタ群(スクラッチパッドメモリ)42に対する1回のアクセスでアドレス情報をプラス1するものである。すなわち、フリップフロップ401、402、403をカウンタとして動作させるもので、加算器404によってプラス1された値は選択ゲート405、406および407を介してそれぞれフリップフロップ401、402および403に入力される。これはスクラッチパッドメモリの連続番地に対してアクセスするとき有効となる。

以下に診断時におけるスクラッチパッドメモリ42の観測方法について説明する。スクラッチパッドメモリ素子のような高密度集積回路は、各記憶素子相互を接続するシフトバスを設ける

介して診断装置2に転送されることになり、診断プログラムによる処理及び転送時間等によって診断時における実行時間が長くなるという大きな欠点があった。

これを解決する方法として、第3図に代わり第4図のパッケージ構成による方法が考えられていた。この第4図においては、第3図におけるシフトバスをフリップフロップ400~403、410~413と、フリップフロップ430~433の2系統に分離し、それぞれの診断用クロック信号端子として492及び491を設け、出力端子472には選択ゲート473により両シフトバスの一方の選択出力が導かれるようになっている。このようなパッケージ構成によるスクラッチパッドメモリの観測は、第3図の場合と同様にフリップフロップ400に"0"を、フリップフロップ401、402、403にアドレスをそれぞれクロック信号492により設定する。従って、通常はクロック信号481を動作させることによりフリップフロップ430~433に読出されるので、これ

のが困難であるために、シフトレジスタ構成にすることができない。そこで、この場合は通常のクロックを動作させることによりスクラッチパッドメモリの観測を行なっている。第3図においてスクラッチパッドメモリ42を観測する場合、フリップフロップ400には読出しを指示する"0"を、フリップフロップ401、402および403には観測しようとするスクラッチパッドメモリのアドレスをそれぞれ上述のフリップフロップ設定方法にしたがって設定する。次に、クロック信号481を1ステップ進めることにより、スクラッチパッドメモリの内容がフリップフロップ430~433に読出される。これを前記フリップフロップ観測方法により出力する。

一般に、診断時におけるスクラッチパッドメモリの観測は全メモリに及ぶ場合が多い。しかし乍ら、第3図による方法では、不要なフリップフロップ400~403、410~413のデータまでが出力される。そのために、この不要なデータが第1図における診断用シフトレジスタ101を

をクロック信号491を用いて出力する。従って、診断装置2には不要なデータが転送されることはない。これによれば、第3図の構成によって生ずる欠点は除去されるが、スクラッチパッドメモリの観測以外には適さないことが明白である。例えば、パッケージ内全フリップフロップを観測する場合を例にとると、シフトバスが2系統あるために観測動作を2回にわたって行わなくてはならなくなり、これもまた、実行時間が長くなるという欠点があった。

本発明の目的は、簡単な回路を付加することにより、上記従来技術において生ずる欠点をすべて除去し、診断を効率よく行うことのできる論理装置を提供することにある。

本発明は、予め決められた分割規則に従った分割単位の論理回路と、該論理回路内の診断対象回路に対して診断データを設定、または観測する診断手段と、前記診断対象回路に対して診断データを設定、または観測する際に、少なくとも2系統の前記診断手段を診断目的に応じて

使い分けるための選択手段とから構成され、前記診断対象回路に含まれる記憶素子の内容を効率よく設定、または観測するようにしたことを特とする。

次に、本発明について実施例を挙げ、図面を参照して説明する。

本発明による実施例の構成を示す第5図を参照すると、このパッケージは、従来技術である第3図の回路にゲート回路490を設け、フリップフロップ430のシフトバスには選択ゲート470によって2入力のうちから1入力を選択的に与え、選択ゲート470の2入力のうち一方の側を端子471に直接的に接続した点において構成上の相違が見られる。これにより、シフトバスは2系統になるが第4図のそれと異なることは明らかである。すなわち、第4図の構成によれば、第1のシフトバスはフリップフロップ400~403および410~413であるのに対し、第5図では端子491からクロックを供給し、端子493の論理値を"1"にすることによってフリップフロ

プ400~403、410~413および430~433となり、第3図のものと等価になる。また、第2のシフトバスは端子491からクロックを供給し、端子493の論理値を"0"にすることによりフリップフロップ430~435のみを選択でき、第4図の方法の長所を生かすことができる。第5図において、ゲート回路490は端子493を介してパッケージ外部から制御でき、上記シフトバスの2系統を任意に選択できる。

ここで、第5図におけるスクラッチパッドメモリ42の観測方法について説明するが、これ以外の設定、または観測については端子493に"1"を印加することにより第3図と等価になるため、ここではその説明を省略する。まず、スクラッチパッドメモリ観測用のデータとして、フリップフロップ400には"0"を、フリップフロップ401、402および403にはアドレスを、それぞれ端子493に"1"を印加した状態で前記フリップフロップの設定方法にしたがって入力する。続いて、クロック信号481を1ステップ

与えることによりスクラッチパッドメモリの内容がフリップフロップ430~435に観出されるから、端子493に"0"を印加して、前記フリップフロップ観測方法によりフリップフロップ430~435を観測する。このとき、診断装置2にはスクラッチパッドメモリのデータのみが転送されるため効率よく診断することができる。

なお、本発明は上記の実施例に限定されずとなく、例えば、上記実施例が論理装置の分割単位をパッケージとしたのに対して、ある分割規則に従った分割単位に拡張することができる。あるいはまた、上記実施例がスクラッチパッドメモリのデータ観測に例をとったのに対して、制御記憶、キャッシュメモリ等にも適用することができる。更に、データ観測に限らずデータ設定にも適用可能であることは言うまでもない。

以上の説明により明らかなように、本発明によれば、シフトバスがその用途に応じて任意に選択できるように構成され、これによって診断時間を大きく短縮するとともに診断プログラム

の制御が容易となり、診断効率の向上に対して得られる効果は大きい。

4. 図面の簡単な説明

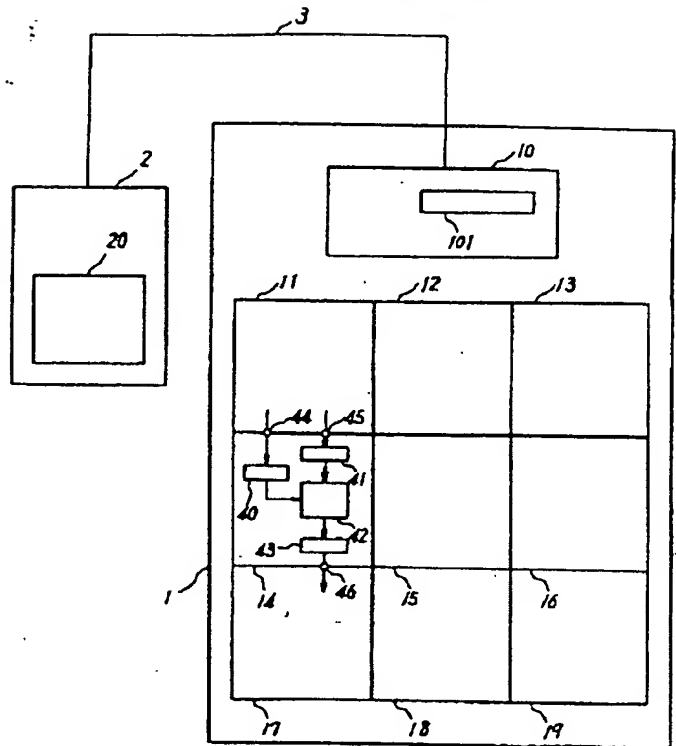
第1図はシフトレジスタ方式を適用した論理装置の概略的な構成例、第2図は、第1図におけるパッケージ11と診断制御部10との接続状態を示す構成図、第3図は、第1図におけるパッケージ14に適合する具体的な従来例を示す構成図、第4図は、第1図におけるパッケージ14に適合する具体的な他の従来例を示す構成図、第5図は本発明に適合する論理回路の実施例を示す構成図である。

参照記号：

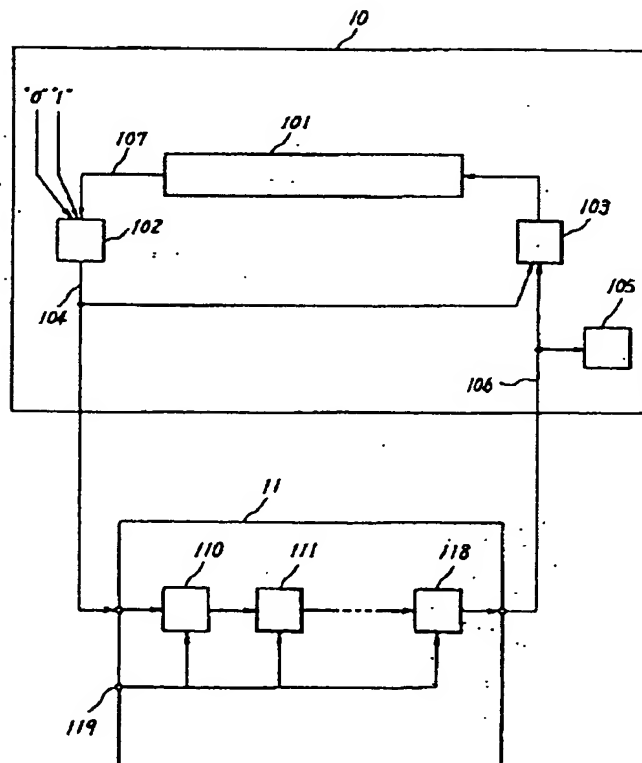
1…論理装置、2…診断装置、3…診断用インタフェース、10…診断制御部、11~19…パッケージ、20…診断装置内記憶部、40、41、43…レジスタ、42…スクラッチパッドメモリ、44、45、46、119、471、472、481、491、492、493…端子、101…診断用シフトレジスタ、102、

103, 405, 406, 407, 470, 473 … 選択ゲート,
 105 … 検出回路, 110 ~ 118, 400 ~ 403, 410
 ~ 413, 430 ~ 433 … フリップフロップ, 404 …
 加算器, 490 … ゲート。

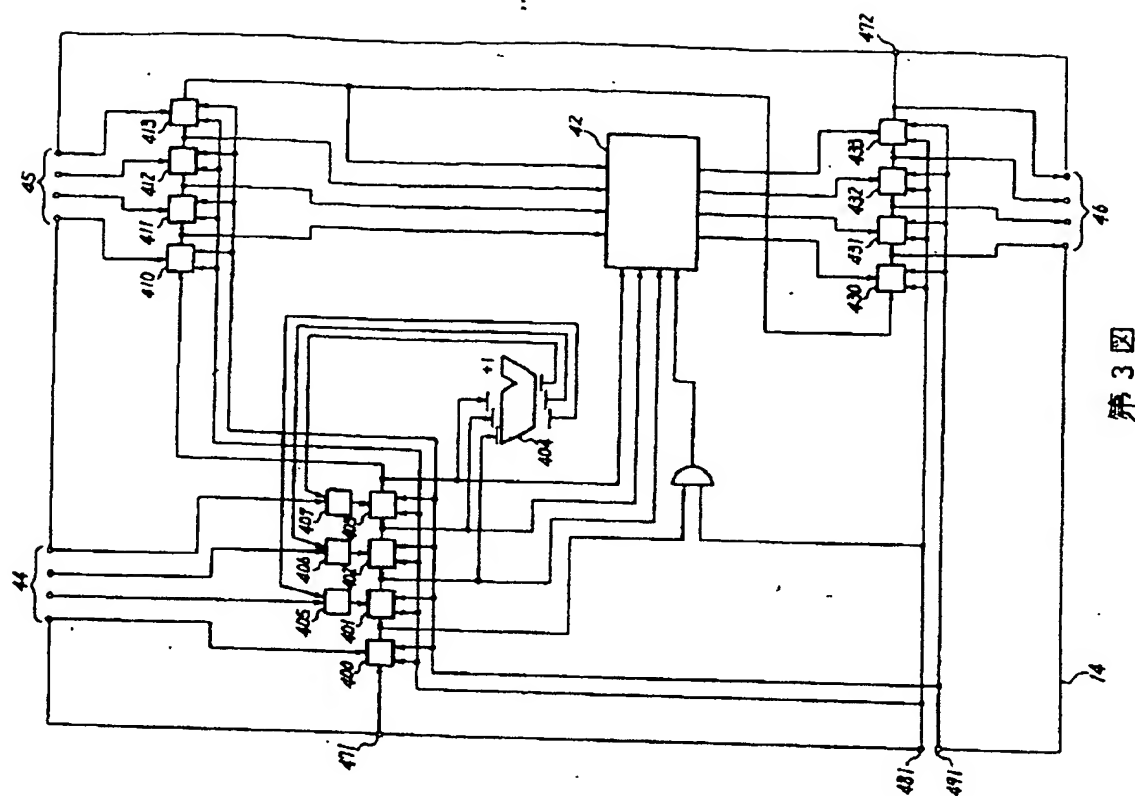
代理人 (712) 弁理士 後藤 洋介 氏



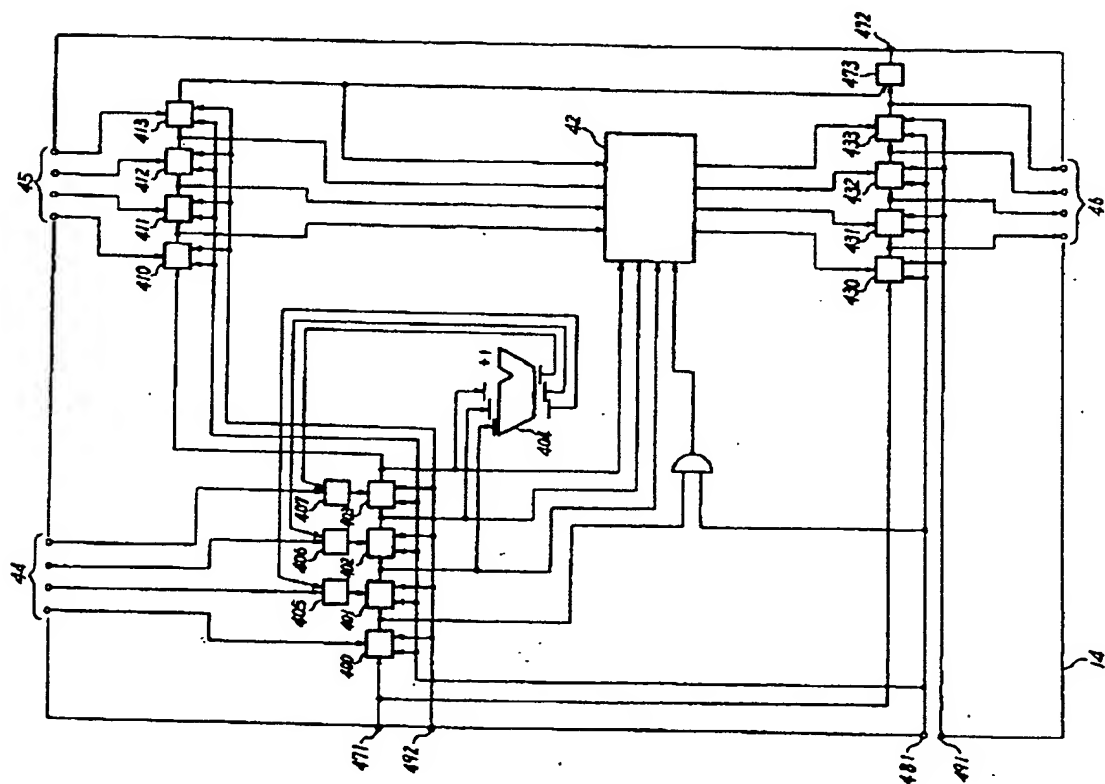
第 1 図



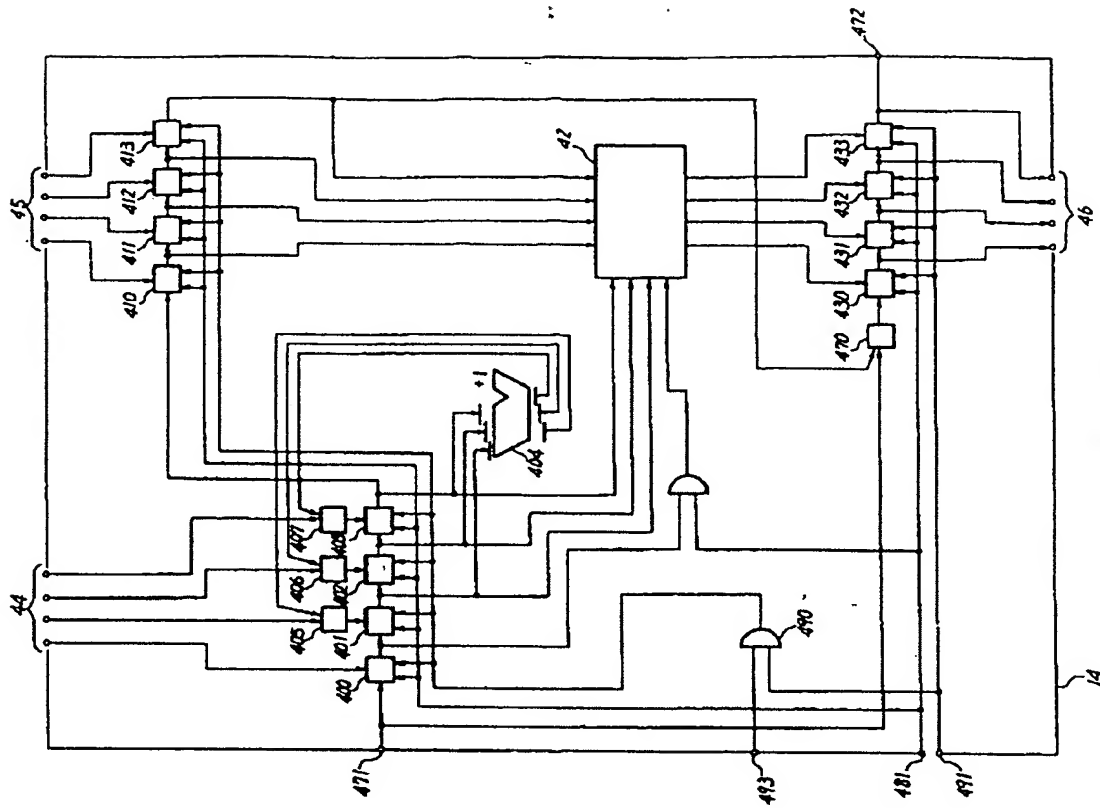
第 2 図



第 3 図



第 4 図



第 5 図